

# Foreign Documents Division

Request Form  
for U.S. Serial No. 09/132157

PTO 99-5312

S.T.I.C. Translations Branch

Requester's  
Name

PRENTY

Org. or  
Art Unit

Office  
Location

Phone  
Number

308-4939

Date of  
Request

Date  
Needed By

PLEASE COMPLETE ONE REQUEST FORM FOR EACH DOCUMENT. A COPY OF THE DOCUMENT MUST BE ATTACHED FOR TRANSLATION.

Service(s) Requested:

☐

Search

☐

Copy

☒

Translation

☐

Abstract

☒

Patent

-

Doc. No.

3-194962

Country/Code

JAPAN

Pub/Date

8/91

Doc. Serial No.

Language

Japanese

Pages

Will you accept an equivalent?

STIC only

Yes

No

☐

Article

-

Author

Language

☐

Other

-

Language

Country

Document Delivery Mode:

☐

In-house mail

Date

STIC only

☒

Call for pickup

Date

9/28/99

STIC only

STIC USE ONLY

COPY/SEARCH

TRANSLATION

Processor:

Date assigned:

Date filled:

Date logged in:

PTO estimated words:

Number of pages:

Found In-House:

☐ No equivalent found

☐ Equivalent found

Country and document no.:

In-house

Translator

Assgn.

Retnd.

Contract

Name

Priority

Sent

Retnd.

REMARKS

PTO 99-5312

Japan  
3-194962

SEMICONDUCTOR DEVICE

[Handoutai Souchi]  
Atsushi Maeda, et al.

UNITED STATES PATENT AND TRADEMARK OFFICE  
Washington, D.C. September 1999

Translated by: Schreiber Translations, Inc.

<u>Country</u>	: Japan
<u>Document No.</u>	: 3-194962
<u>Document Type</u>	: Kokai
<u>Language</u>	: Japanese
<u>Inventor</u>	: Atsushi Maeda
<u>Applicant</u>	: Mitsubishi Denki K.K.
<u>IPC</u>	: Int. Cl. <sup>5</sup> H 01 L 27/06 21/331 29/73
<u>Application Date</u>	: December 22, 1989
<u>Publication Date</u>	: August 26, 1991
<u>Foreign Language Title</u>	: Handoutai Souchi
<u>English Title</u>	: SEMICONDUCTOR DEVICE

## Specification

/1<sup>1</sup>

1. Title of the invention: Semiconductor device

2. Claim

In a semiconductor device having a bipolar transistor and an insulating gate type electric field effect transistor in the same silicon substrate, a semiconductor device characterized in that the base region of said bipolar transistor is formed by a mixture of silicon and germanium, and germanium is introduced to the channel region of said electric field effect transistor.

3. Detailed explanations of the invention

[Industrial Field of Applications]

This invention pertains to a construction of Bi-MOS or Bi-CM [illeg.] semiconductor device.

[Prior Art]

FIG. 4 is a [illeg.] diagram showing a conventional Bi-CMOS semiconductor device.

As shown in the diagram, high concentration N type embedding layer 2 is selectively formed on the surface of P type silicon (Si) substrate, P type Si epitaxial layer 3 is formed on the surface of the Si substrate and N type embedding layer 2, and a thick oxidized film 4 is selectively formed on the surface of the Si epitaxial layer 3 and the element region is isolated in island

---

<sup>1</sup> Numbers in the margin indicate pagination in the foreign text.

shape.

A N type semiconductor region 5 is formed on a portion of the Si epitaxial layer 3 of the element region isolated in island shape, a high concentration P type diffused layer 6 which is the bipolar transistor base region is formed on a portion of the surface of the N type semiconductor region 5, and a high concentration N type impurity region 7 which is the emitter region is formed on a portion of the surface of the P type diffused layer 6.

Also, high concentration N type diffused layer 8 is formed on a portion of the N type semiconductor region 5, and a collector region for the bipolar transistor is constructed by a N type embedding layer 2, a N type semiconductor region 5, and a N type diffused layer 8.

Moreover, a gate electrode 10 is formed on a portion of the surface of the N type semiconductor region 5 and a portion of the surface of the Si epitaxial layer 3. A P type impurity diffused layer 11 which becomes the source drain for the P channel MOS electric field effect transistor (hereinafter called as PMOSFET) on the surface of the N type semiconductor region 5 of both sides of the gate electrode 10. The N type impurity diffused region 12 which become the source drain for the N channel MOS electric field effect transistor (hereinafter called as NMOSFET) is formed on the surface of the Si epitaxial layer 3 of both sides of the

gate electrode 10.

However, 13 in FIG. 4 is an electrode wiring layer. /2

Next, the operation of the NPN type bipolar transistor portion shown in FIG. 4 is described in the following.

FIG. 5 and FIG. 6 are diagrams showing the construction of the energy zone for illustrating the operation of the NPN type bipolar transistor. FIG. 5 shows the balanced state, and FIG. 6 shows the operation state. In these diagrams, a-a and b-b are the joining surface of the respective N type semiconductor and P type semiconductor and the joining surface of the P type semiconductor and N type semiconductor.  $E_c$  is the energy level of the bottom of the conduction zone,  $E_v$  is the energy level of the upper valence electron zone, and  $E_f$  is the fermi level.

First, in the balanced state shown in FIG. 5 (bias voltage is not applied), there is  $V_0$  potential difference between the emitter region and the base region. The flow for electron and the electron hole is equivalent in the opposite direction to each other, and since the value is extremely small, the current is nearly not flowing as a whole.

Next, in the operation state shown in FIG. 6, once the reversed bias voltage ( $V_{CB}$ ) is applied between the base region and the collector region, small current  $I_c$  (collector reversed current) flows in the circuit of the collector region. Once the bias voltage in order ( $V$ ) is applied between the emitter region

and the base region, the electron is injected from the emitter region to the base region (emitter current).

A portion of electron becomes the base current by re-bonding with the electron hole injected from the base, but most of it reaches to the base collector joining, is absorbed in the collector region by the electric field by the reversed voltage, and becomes the collector current. This characteristic can control the great collector current by a slight base current, and effects the current amplification.

[Problems that the Invention is to Solve]

In the conventional semiconductor device, as stated above, since the bipolar transistor portion is the homojunction [transliteration] bipolar transistor entirely formed by Si, carrier re-bonding in the base joining part is unavoidable, and the emitter injection efficiency is low.

Furthermore, because the channel region is Si in the MOSFET portion, efficient degree of moving of the carrier is low accompanying with the refined elements, and it is difficult to improve the current driving capacity.

This invention solves these problems. The purpose of this invention is to provide a semiconductor device which the improvement of emitter injection efficiency is expected in the bipolar transistor part, improvement of current driving capacity by increasing the degree of channel movement of the carrier is

expected, and high speed operation is made possible.

[Means for Solving the Problems]

In a semiconductor device having a bipolar transistor and an insulating gate type electric field effect transistor in the same silicon substrate, a semiconductor device of this invention characterized in that the base region of said bipolar transistor is formed by a mixture of silicon and germanium, and germanium is introduced to the channel region of said electric field effect transistor.

[Function]

With this invention, since the base region of the bipolar transistor is formed with a mixture of silicon and germanium, the re-bonding of carrier is reduced, the injection of the electron hole in the emitter base joining has more restrictions than the prior art, and emitter injection efficiency is improved. Also, since germanium is introduced to the channel region of the insulating gate type electric field efficiency transistor, the current driving capacity is improved.

[Working example]

FIG. 1 is a cross section showing a working example of a semiconductor device of this invention.

In FIG. 1, the difference with FIG. 4 is that a high concentration P type diffused layer 14 including germanium (Ge) is formed on the surface of the N type semiconductor region 5,



the base region is formed by a mixture of Si and Ge, and Ge is introduced to the channel regions 15 and 16 at the lower side of the gate electrode 10 in both MOSFET, respectively.

/357

At this time, the P type diffused layer 14 can be formed by injecting Ge ion to the surface of the N type semiconductor region 5 of the bipolar transistor part.

Also, the channel regions 15 and 16 introduced with Ge can be formed by [illeg.] Ge ion into the surface of the MOSFET N type semiconductor region 5 and the surface of the Si epitaxial layer 3, and it can be formed in the same process with the formation of the P type diffused layer 14 which is the base region of the bipolar transistor.

Next, the operation of the NPN type bipolar transistor part in FIG. 1 is described.

FIG. 2 shows a balanced state, and FIG. 3 shows the energy zone construction of the operation state. In these diagrams, c-c is the adjoining surface with the P type semiconductor including Ge and the N type semiconductor, d-d shows the joining surface of the P type semiconductor containing Ge and the N type semiconductor.  $E_c$  is the energy level of the bottom of the conduction zone,  $E_v$  is the energy level of the upper valence electron zone, and  $E_f$  is the fermi level.

Also, the forbidden band width  $E_g$  is substantially a fixed

value by the difference of the energy level of the  $E_c$  and  $E_v$ . For example, it has been known that for Si,  $E_g = 1.12$  eV,  $E_g = 0.66$  eV for Ge, and for the case of a mixture of Si and Ge ( $Si_x Ge_{1-x}$ ), the forbidden band width  $E_g$  changes continuously by the change of composition ratio.

Therefore, because the forbidden band width  $E_g$  for Si containing Ge such as the P type diffused layer 14 which is the base region is smaller than the case of Si is used exclusively as the conventional P type diffused layer 6 does not contain Ge, as shown in FIG. 2, in the joining surface c-c of the base region of the P type semiconductor containing Ge and the emitter region of the N type semiconductor, the energy barrier  $V_2$  to the electron hole is larger than the energy barrier  $V_1$  to electron ( $V_1 < V_2$ ).

On the other hand, as shown in FIG. 3, in the operation state, when the bias in sequence (V, illeg.) is applied between the emitter region and the base region, electron is injected from the emitter region to the base region containing Ge. The electron passes through the base region, [illeg.] to the collector region via the base collector connection where reversed bias  $V_{CB}$  is applied, and it becomes the collector current.

At this time, a portion of the electron injected from the emitter region to the base region re-bonds with the electron hole where injected from the base region to the emitter region, and becomes the base current. As stated above, since the energy

barrier  $V_2$  to the electron hole is greater than the energy barrier  $V_1$ , the injection of the electron hole is restricted compared with the conventional technology. [illeg.], and it is absorbed to the collector region by the electric field through the reversed bias  $V_{CB}$ .

Therefore, the disappearance of carrier in the base region can be reduced compared with prior art by the restriction of electron hole injection. Emitter injection efficiency can be improved, current amplification characteristic of the [illeg.] resistor can be improved.

Next, the operation of the MOSFET part is described.

The current driving capacity for MOSFET is proportion with the moving degree  $\mu$  of the carrier in the channel part. The moving degree for electron in Si is  $1500 \text{ cm}^2 / \text{V s}$ , the moving degree for the electron hole is  $600 \text{ cm}^2 / \text{V s}$ , the moving degree for electron in Ge is  $3900 \text{ cm}^2 / \text{V s}$ , and the moving degree for electron hole is  $1900 \text{ cm}^2 / \text{V s}$ .

Also, in the mixture of Si and Ge, it is generally known that the moving degree changes continuous according to the composition ratio. As shown in both MOSFET in FIG. 1, by introducing Ge to the channel regions 15 and 16, the moving degree for carrier is greater than the case of prior art when Si is used exclusively. Thus, current driving capacity can be improved.

In the above working example, a semiconductor device formed with a bipolar transistor and CMOSFET on the same substrate is described. This invention can be implemented to the case that the bipolar transistor and NMOSFET or bipolar transistor and PMOSFET are formed on the same substrate.

[Effectiveness of this invention]

As described above, with this invention, since the base region of the bipolar transistor is formed with a mixture of silicon and germanium, the injection of electron hole in the emitter and base connection is more under restriction than the prior art, carrier re-bonding can be reduced, emitter injection efficiency can be improved, and improvement of the current amplification characteristic can be expected. Also, since germanium is introduced in the channel region of the insulating gate type electric field effect transistor, the degree of channel moving of carrier can be increased than the prior art, current driving capacity can be enhanced, and a semiconductor device with high speed operation can be obtained.

#### 4. Brief Description of Drawings

FIG. 1 is a cross section of a working example of a semiconductor device of this invention. FIG. 2 and FIG. 3 are energy zone structural diagram in the balanced state and operation state of the bipolar transistor of FIG. 1. FIG. 4 is a cross section of a conventional semiconductor device. FIG. 5 and

FIG. 6 are energy zone structural diagram in the balanced state and operation state of the bipolar transistor of FIG. 4.

In the diagram, 1 is a Si substrate, 14 is a P type diffused layer (base region), 15, 16 are channel regions. The same number indicates the same or equivalent parts in each diagram.

FIG. 1

[Keywords in the diagram are translated from left to right and top to bottom]

bipolar transistor

1: Si substrate, 14: P type diffused layer, 15 and 16: channel region

FIG. 2

[Keywords in the diagram are translated from left to right and top to bottom]

Emitter region, base region, collector region

FIG. 3

[Keywords in the diagram are translated from left to right and top to bottom]

Emitter region, base region, collector region

FIG. 4

Bipolar transistor

FIG. 5

[Keywords in the diagram are translated from left to right and top to bottom]

Emitter region, base region, collector region

FIG. 6

[Keywords in the diagram are translated from left to right and  
top to bottom]

Emitter region, base region, collector region

[Amendment is made in the translation indicated with underline.]

03-194962

L4: 1 of 14

TITLE: SEMICONDUCTOR DEVICE

1. 03-194962; Aug. 26, 1991, SEMICONDUCTOR DEVICE; ATSUSHI MAEDA, H01L

27\*06; H01L 21\*331; H01L 29\*73

ABSTRACT:

PURPOSE: To improve injection efficiency of an emitter, to improve channel mobility of a carrier to improve current driving capacity and to enable high speed operation by forming a base region of a bipolar transistor of a mixture of Si and Ge and by introducing Ge to a channel region of a MOSFET.

CONSTITUTION: In a semiconductor device having a bipolar transistor and an insulating gate type field effect transistor in the same silicon substrate 1, a base region 14 of the bipolar transistor is formed of a mixture of silicon and Germanium, and Germanium is introduced to channel regions 15, 16 of the field effect transistors. For example, a P-type diffusion layer 14 is formed by Ge-ion implantation to a surface of an N-type semiconductor

region 5. Furthermore, since the channel regions 15, 16 where Ge is introduced can be formed by Ge-ion implantation to a surface of an Si epitaxial layer 3 and a surface of the N-type semiconductor region 5 of both MOSFETs, they can be formed in the same process as formation of the P-type diffusion layer 14.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

平3-194962

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)8月26日

H 01 L 27/06  
21/331  
29/73

7735-5F H 01 L 27/06 3 2 1 B  
8225-5F 29/72

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平1-333930

⑰ 出 願 平1(1989)12月22日

⑱ 発 明 者 前 田 敦 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・  
エス・アイ研究所内

⑲ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑳ 代 理 人 弁理士 大岩 増雄 外2名

PTO 99-5312

S.T.I.C. Translations Branch

明 細 書

発明の名称

半導体装置

特許請求の範囲

(1) 同一のシリコン基板中に、バイポーラトランジスタと絶縁ゲート型電界効果トランジスタを有する半導体装置において、

前記バイポーラトランジスタのベース領域をシリコンとゲルマニウムの混合物により形成し、前記電界効果トランジスタのチャネル領域にゲルマニウムを導入したことを特徴とする半導体装置。

発明の詳細な説明

産業上の利用分野)

この発明は、BI-MOS、或いはBI-CMOS等の半導体装置の構造に関する。

従来の技術)

図4図は従来のBI-CMOS等の半導体装置の断面図である。

図5図に示すように、P型シリコン(Si)基板の表面に高濃度のN型埋込層2が選択的に形成

され、Si基板1及びN型埋込層2の表面にP型のSiエピタキシャル層3が形成され、このSiエピタキシャル層3の表面に厚い酸化膜4が選択的に形成されて素子領域が島状に分離されている。

そして、島状に分離された素子領域のSiエピタキシャル層3の一部にN型半導体領域5が形成されており、さらにこのN型半導体領域5の表面の一部に、バイポーラトランジスタのベース領域である高濃度のP型拡散層6が形成され、このP型拡散層6の表面の一部にエミッタ領域である高濃度のN型不純物領域7が形成されている。

また、N型半導体領域5の一部に高濃度のN型拡散層8が形成され、N型埋込層2とN型半導体領域5とN型拡散層8とにより、バイポーラトランジスタのコレクタ領域が構成されている。

さらに、N型半導体領域5の表面の一部及びSiエピタキシャル層3の表面の一部にゲート酸化膜9を介してゲート電極10が形成され、ゲート電極10の両側のN型半導体領域5の表面にPチャネルMOS電界効果トランジスタ(以下P-MO



SFETという)のソース・ドレインとなるP型不純物拡散層11が形成されており、ゲート電極10の両側のSiエピタキシャル層3の表面にNチャネルMOS電界効果トランジスタ(以下NMOSFETという)のソース・ドレインとなるN型不純物拡散領域12が形成されている。

ただし、第4図中の13は電極配線層である。

つぎに、第4図に示す半導体装置のNPN型のバイポーラトランジスタ部分の動作について説明する。

第5図、第6図はNPN型バイポーラトランジスタの動作を説明するためのエネルギー帯構造を示す図であり、第5図は平衡状態、第6図は動作状態を示しており、それらの図において、 $a-a$ 及び $b-b$ はそれぞれN型半導体とP型半導体の接合面、P型半導体とN型半導体の接合面をそれぞれ示し、 $E_c$ は伝導帯下端のエネルギー単位、 $E_v$ は価電子帯上端のエネルギー単位、 $E_f$ はフェルミ単位である。

まず、第5図に示す平衡状態(バイアス電圧が

印加されていない)においては、エミッタ領域とベース領域とで $V_0$ のポテンシャル差があり、電子及び正孔の流れは互いに逆方向で等しく、しかもその値が極めて小さいため、全体としては電流はほとんど流れない。

つぎに、第6図に示す動作状態においては、ベース領域とコレクタ領域との間に逆バイアス電圧( $V_{CB}$ )を印加すると、コレクタ領域の回路の中を小さな電流 $I_C$ (コレクタ逆電流)が流れ、エミッタ領域とベース領域の間に順バイアス電圧( $V_{BE}$ )を印加すると、電子がエミッタ領域からベース領域へ注入される(エミッタ電流)。

そして、この電子の一部はベース電流となるが、ほとんどがベース・コレクタ接合に達し、逆電圧による電界でコレクタ領域に吸収され、コレクタ電流となる。この特性は、僅かなベース電流によって大きなコレクタ電流を制御できることになり、電流増幅作用をしていることになる。

[発明が解決しようとする課題]

従来の半導体装置では、前述したように、バイ

ポーラトランジスタ部分が、エミッタ、ベース、コレクタの各領域をすべてSiで構成したいわゆるホモジャンクション・バイポーラ・トランジスタであるため、エミッタ、ベース接合部でのキャリア再結合を避けることができず、エミッタ注入効率が低下するという問題点があった。

さらに、MOSFET部分では、チャネル領域がSiであるため、素子の微細化に伴ってキャリアの実効的な移動度が低下し、電流駆動能力の向上が困難になるという問題点があった。

この発明は、上記のような問題点を解消するためになされたもので、バイポーラトランジスタ部分において、エミッタ注入効率の向上を図り、MOSFET部分において、キャリアのチャネル移動度を増大して電流駆動能力向上を図り、高速動作の可能な半導体装置を得ることを目的とする。

[課題を解決するための手段]

この発明に係る半導体装置は、同一のシリコン基板中に、バイポーラトランジスタと絶縁ゲート型電界効果トランジスタとを有する半導体装置に

おいて、前記バイポーラトランジスタのベース領域をシリコンとゲルマニウムの混合物により形成し、前記電界効果トランジスタのチャネル領域にゲルマニウムを導入したことを特徴としている。

[作用]

この発明においては、バイポーラトランジスタのベース領域をシリコンとゲルマニウムの混合物により形成したため、エミッタ、ベース接合における正孔の注入が従来よりも制限されてキャリア再結合が低減され、エミッタ注入効率が向上し、しかも絶縁ゲート型電界効果トランジスタのチャネル領域にゲルマニウムを導入したため、キャリアのチャネル移動度が従来よりも大きくなり、電流駆動能力が向上する。

[実施例]

第1図はこの発明の半導体装置の一実施例の断面図である。

第1図において、第4図と相違するのは、P型拡散層6に代わり、N型半導体領域5の表面にゲルマニウム(Ge)を含む高濃度のP型拡散層1

においては、エミッタ領域とポテンシャル差があり、電圧に逆方向で等しく、しきいため、全体としては電流

す動作状態においては、エミッタ領域との間に逆バイアス電圧、コレクタ領域の回路のコレクタ逆電流)が流れ、エミッタ領域の間に順バイアス電圧電子がエミッタ領域からコレクタ領域へ(エミッタ電流)。一部はベース電流となるコレクタ接合に達し、逆電圧領域に吸収され、コレクタ電流、僅かなベース電流にのみを制御できることになる。

する課題)

、前述したように、

、ランジスタのベース領域の混合物により形成したランジスタのチャンネル領域とを特徴としている。

バイポーラトランジスタはゲルマニウムの混合物でエミッタ、ベース接合にも制限されてキャリア注入効率が向上し、結果トランジスタの電流増幅率が増大したため、キャリア注入効率がより大きくなり、電流増幅率が向上する。

と装置の一実施例の断面図

相違するのは、エミッタ領域5の表面に高濃度のP型拡散層を形成し、ベース領域をSiとGeの混合物により形成するとともに、両MOSFETにおけるソース電極10の下側のチャンネル領域15、16に、それぞれGeを導入したことである。

このとき、P型拡散層14は、バイポーラトランジスタ部分のN型半導体領域5の表面にGeイオンを注入することによって形成することができ、バイポーラトランジスタのベース領域であるP型拡散層14の形成と同じ工程で形成することが可能である。

つぎに、第1図のNPN型のバイポーラトランジスタ部分の動作について説明する。

第2図は平衡状態、第3図は動作状態のエネルギー構造を示しており、それらの図面において、c-cはN型半導体とGeを含むP型半導体との接合面、d-dはGeを含むP型半導体とN型半導体との接合面を示し、 $E_C$ は伝導帯下端のエネルギー単位、 $E_V$ は価電子帯上端のエネルギー単位、 $E_F$ はフェルミ単位である。

また、禁制帯幅 $E_g$ は、 $E_C$ と $E_V$ とのエネルギー単位の差で物質に固有の値であり、例えばSiでは $E_g = 1.12 \text{ eV}$ 、Geでは $E_g = 0.66 \text{ eV}$ であり、SiとGeの混合物( $\text{Si}_{1-x}\text{Ge}_x$ )の場合には、組成比の変化によって禁制帯幅 $E_g$ が連続的に変化することが一般的に知られている。

従って、ベース領域であるP型拡散層14のようにGeを含むSiの禁制帯幅 $E_g$ は、従来のGeを含まないP型拡散層6のようなSiのみの場合よりも小さくなるため、第2図に示すように、N型半導体のエミッタ領域とGeを含むP型半導体のベース領域との接合面c-cにおいて、電子に対するエネルギー障壁 $V_1$ に比べて正孔に対するエネルギー障壁 $V_2$ の方が大きい( $V_1 < V_2$ )状態が実現できる。

一方、第3図に示すように、動作状態において、エミッタ領域とベース領域の間に順バイアス( $V_{BE}$ )を印加すると、エミッタ領域からGeを含むP型領域に電子が注入されるが、この電子はベース領域を通過し、逆バイアス $V_{CB}$ が印加されたベース・コレクタ接合を通過してコレクタ領域に吸収され、コレクタ電流となる。

このとき、エミッタ領域からベース領域に注入された電子の一部は、ベース領域からエミッタ領域へ注入される正孔と再結合してベース電流となる。前述したように、正孔に対するエネルギー障壁 $V_1$ が電子に対するエネルギー障壁 $V_2$ より小さいため、従来に比べて正孔の注入が制限され、注入された電子のほとんどがベース・コレクタ接合を通過し、逆バイアス $V_{CB}$ による電界でコレクタ領域に吸収されることになる。

このように、正孔の注入の制限により、従来に比べて、ベース領域におけるキャリアの消費を低減することができ、エミッタ注入効率を向上でき、トランジスタの電流増幅特性の向上を図ることが

接合面、d-dはGeを含むP型半導体とN型半導体との接合面を示し、 $E_C$ は伝導帯下端のエネルギー単位、 $E_V$ は価電子帯上端のエネルギー単位、 $E_F$ はフェルミ単位である。

また、禁制帯幅 $E_g$ は、 $E_C$ と $E_V$ とのエネルギー単位の差で物質に固有の値であり、例えばSiでは $E_g = 1.12 \text{ eV}$ 、Geでは $E_g = 0.66 \text{ eV}$ であり、SiとGeの混合物( $\text{Si}_{1-x}\text{Ge}_x$ )の場合には、組成比の変化によって禁制帯幅 $E_g$ が連続的に変化することが一般的に知られている。

従って、ベース領域であるP型拡散層14のようにGeを含むSiの禁制帯幅 $E_g$ は、従来のGeを含まないP型拡散層6のようなSiのみの場合よりも小さくなるため、第2図に示すように、N型半導体のエミッタ領域とGeを含むP型半導体のベース領域との接合面c-cにおいて、電子に対するエネルギー障壁 $V_1$ に比べて正孔に対するエネルギー障壁 $V_2$ の方が大きい( $V_1 < V_2$ )状態が実現できる。

できる。

つぎにMOSFET部分の動作について説明する。

MOSFETの電流駆動能力は、チャンネル部でのキャリアの移動度 $\mu$ に比例し、Si中における電子の移動度は $1500 \text{ cm}^2/\text{V}\cdot\text{s}$ 、正孔の移動度は $600 \text{ cm}^2/\text{V}\cdot\text{s}$ であり、Ge中における電子の移動度は $3900 \text{ cm}^2/\text{V}\cdot\text{s}$ 、正孔の移動度は $1900 \text{ cm}^2/\text{V}\cdot\text{s}$ である。

また、SiとGeの混合物中では、その組成比によって移動度が連続的に変化することが一般的に知られており、第1図の両MOSFETのように、チャンネル領域15、16にGeを導入することにより、キャリア移動度を従来のSiだけの場合よりも大きくすることができ、電流駆動能力を向上することができる。

なお、上記実施例では、バイポーラトランジスタとCMOSFETとを同一基板上に形成した半導体装置について説明したが、バイポーラトランジスタとNMOSFET、或いはバイポーラトラ



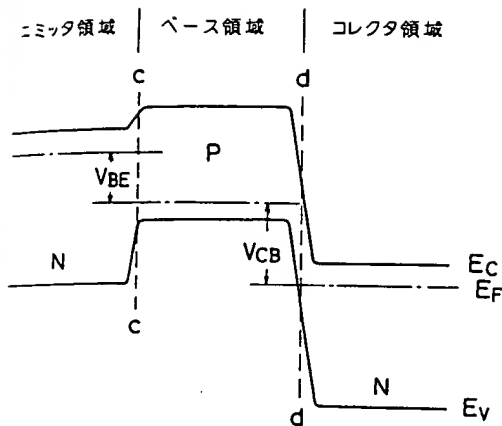
特開平3-194962 (4)

図、第4図は従来の  
図及び第6図はそれぞ  
ンジスタ部分の平衡状  
エネルギー帯構造図であ  
基板、14はP型拡散層  
16はチャネル領域で、

は同一または相当部分

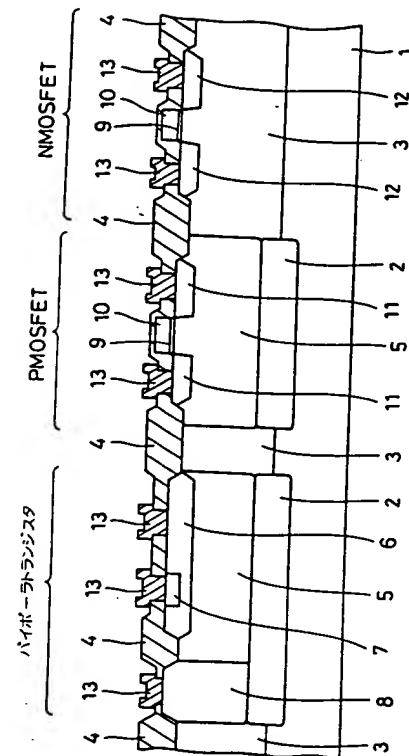
理人 大 岩 地 郎

第 3 図

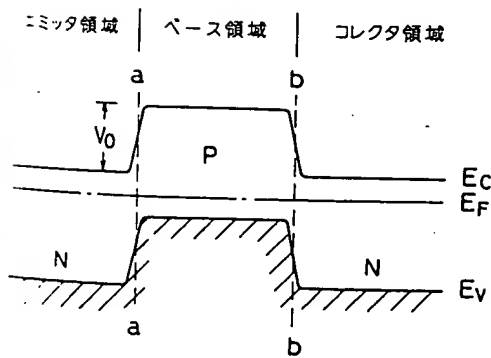


特開平3-194962 (5)

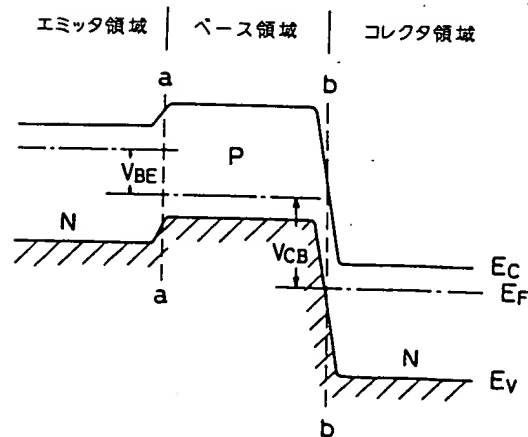
第 4 図



第 5 図



第 6 図



手続補正書(自発)



平成 2 年 6 月 28 日

特許庁長官殿

1. 事件の表示

平  
特願昭 1-333930号

2. 発明の名称

半導体装置

3. 補正をする者

事件との関係 特許出願人  
住 所 東京都千代田区丸の内二丁目2番3号  
名 称 (601)三菱電機株式会社  
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
氏 名 (7375)弁理士 大 岩 増 雄  
(連絡先03(213)3421特許部)

5. 補正の対象

明細書の「発明の詳細な説明の欄」

6. 補正の内容

(1) 明細書第4頁第13行の「一部はベース電流」を、「一部はベースから注入された正孔と再結合してベース電流」に訂正する。

以上

方式 関  
審査

